

RESULT LIST

2 results found in the Worldwide database for:
JP1248136 (priority or application number or publication number)
 (Results are sorted by date of upload in database)

1 PRODUCTION OF THIN FILM TRANSISTOR FOR LIQUID CRYSTAL DISPLAY

Inventor: KASHIHARA TOMIO

Applicant: TOKYO SHIBAURA ELECTRIC CO

EC:

IPC: **G02F1/133; G02F1/136; H01L27/12** (+8)

Publication info: **JP1248136** - 1989-10-03

2 SELFFSUSTAINED ELECTROMAGNETIC DEVICE

Inventor: KOBAYASHI SHIYUNJI; HASHIMOTO KAZUSHIGE

Applicant: IIDA SANKYO

EC:

IPC: **F16K31/08; H01F7/16; F16K31/08** (+3)

Publication info: **JP55128803** - 1980-10-06

Data supplied from the esp@cenet database - Worldwide

Patent number: JP1248136
Publication date: 1989-10-03
Inventor: KASHIHARA TOMIO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: *G02F1/133; G02F1/136; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L27/12; H01L29/66; (IPC-1-7): G02F1/133; H01L27/12; H01L29/78*
- european:
Application number: JP19880076905 19880330
Priority number(s): JP19880076905 19880330

Abstract of JP1248136

Fig. 1 is a cross-sectional view of a device. It shows a base 21 with a hatched pattern. On top of the base is a layer 26, followed by a layer 27, a layer 28, a layer 31, a layer 33, a layer 34, a layer 35, a layer 36, a layer 37, a layer 38, and a layer 39. The layers 31, 33, 34, 35, 36, 37, 38, and 39 are shown with various hatching patterns. A dashed line 32 is also indicated.

2006/04/14

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-248136

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月3日

G 02 F 1/133
H 01 L 27/12
29/78

3 2 7
3 1 1

7370-2H
A-7514-5F
P-7925-5F

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 液晶表示用薄膜トランジスタの製造方法

⑯ 特 願 昭63-76905

⑰ 出 願 昭63(1988)3月30日

⑱ 発 明 者 梶 原 富 雄 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝生産技術研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

液晶表示用薄膜トランジスタの製造方法

2. 特許請求の範囲

透明絶縁基板上にゲート電極となる金属層を成膜した後、陽極酸化を施して該金属層表面に酸化膜を形成する工程と、酸化膜が形成された金属層上に少なくともゲート絶縁膜となる第1の絶縁膜、半導体薄膜、不純物ドーパント半導体薄膜を順次成膜した後、これらの膜をパターニングする工程と、少なくともパターニング後のゲート電極、半導体薄膜及び不純物ドーパント半導体薄膜の側面を第2の絶縁膜で覆う工程と、透明導電膜を成膜し、パターニングしてソース、ドレイン電極及び画素電極を形成する工程とを具備したことを特徴とする液晶表示用薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、液晶表示用薄膜トランジスタの製

造方法に関する。

(従来の技術)

最近、平面ディスプレイとしてアクティブマトリックス型液晶表示装置が広く市販され、その軽便性、低消費電力から注目されている。中でも、薄膜トランジスタをスイッチ素子として用いた液晶表示装置は、高コントラストで画質が良好であるため、小形カラーテレビに広く使用されている。

ところで、上記液晶表示装置に用いられる薄膜トランジスタは従来、以下に説明する第4図(a)～(d)に示す方法により製造されている。

まず、透明絶縁基板としてのガラス基板1上にスパッタ蒸着によりモリブデテンタンタル膜(MT膜)を成膜した後、写真蝕刻法によりレジストパターン2を該MT膜上に形成する。つづいて、このレジストパターン2をマスクとしてMT膜を選択的にエッチングすることによりゲート電極3を形成する(第4図(a)図示)。

次いで、レジストパターン2を除去した後、プラズマCVD法によりゲート絶縁膜としての

SiN膜4を成膜する。つづいて、プラズマCVD法によりイントリシクアモルファスシリコン(以下、a-Siと略す)膜及びリンドープアモルファスシリコン(以下、n⁺a-Siと略す)膜を順次成膜する。これらのSiN膜、a-Si膜及びn⁺a-Si膜は、いずれもプラズマCVD装置(インライン式プラズマCVD装置)により真空を破らずに連続して成膜する。ひきつづき、写真蝕刻法によりレジストパターン5をn⁺a-Si膜上に形成した後、該レジストパターン5をマスクとしてn⁺a-Si膜及びa-Si膜を選択的にエッチングして基板1側からa-Siからなるチャンネル領域6及びn⁺a-Siパターン7を夫々形成する(第4図(b)図示)。

次いで、レジストパターン5を除去した後、全面にスパッタ蒸着により透明導電膜としてのITO膜を成膜する。つづいて、写真蝕刻法によりレジストパターン8をITO膜上に形成した後、該レジストパターン8をマスクとしてITO膜を

選択的にエッチングして画素電極9を形成する(第4図(c)図示)。

次いで、レジストパターン8を除去した後、全面にスパッタ蒸着によりA₂膜を成膜する。つづいて、写真蝕刻法によりレジストパターン(図示せず)をA₂膜上に形成した後、該レジストパターンをマスクとしてA₂膜を選択的にエッチングして一端が前記画素電極9と接続されるソース電極10、ドレイン電極11を夫々形成する。この後、同レジストパターンをマスクとして露出したn⁺a-Siパターン7及びチャンネル領域6の上層部を選択的にエッチングしてチャンネル領域8上に互いに電気的に分離されたn⁺a-Siからなるソース、ドレイン領域12、13を形成して薄膜トランジスタを製造する(第4図(d)図示)。

上述した従来の薄膜トランジスタの製造においては、SiN膜、a-Si膜及びn⁺a-Si膜はコスト低減及び膜界面の汚染防止のためにインライン式プラズマCVD装置により真空を破らずに連続して成膜する。かかる連続的な成膜に際し

て、チャンバ内において成膜温度が異なるため、ワークの搬送毎にチャンバ温度が上下動し、チャンバ内面に付着している膜がチャンバ内の熱伸縮により剥離してゴミとなって飛散する。こうしたゴミがSiNの成膜過程でゲート電極上に落下すると、第5図に示すようにゲート電極8とチャンネル領域6間のゲート絶縁膜4にゴミ14が付着して絶縁耐圧の低下を招き、ゲートとドレイン等とのショートを起こす。また、図示しないがゲート絶縁膜にピンホールが存在すると、同様な耐圧低下を招く。なお、上記ショートは液晶表示装置において線欠陥となるため、1個の薄膜トランジスタでもショートが起こると不良製品となる。

このようなことから、ゲート電極となる金属層のパターニング後に陽極酸化を施してゲート電極表面に緻密な酸化膜を形成する方法が提案されているが、次のような重大な問題がある。即ち、パターニング後のゲート電極を陽極酸化すると第6図に示すようにゲート電極2の側面に形成された酸化膜15がオーバーハング形状となる。その結果、

プラズマCVD法によりゲート絶縁膜としてのSiN膜4を成膜すると前記酸化膜15のオーバーハング部付近で段切れする恐れがあった。また、SiN膜上に連続的に成膜されるa-Si膜も同様に段切れを起こす恐れがある。こうした段切れが生じると、トランジスタ特性の低下を招き、ひいては該トランジスタを組み込んだ液晶表示装置の表示性能を低下させる。

(発明が解決しようとする課題)

本発明は、上記従来の問題点を解決するためになされたもので、ゲート絶縁膜へのゴミ付着やピンホールの発生があってもゲートとドレイン間又はゲートとソース間のショートを防止した高信頼性の液晶表示用薄膜トランジスタを製造し得る方法を提供しようとするものである。

[発明の構成]

(課題を解決するための手段)

本発明は、透明絶縁基板上にゲート電極となる金属膜を成膜した後、陽極酸化を施して該金属膜表面に酸化膜を形成する工程と、酸化膜が形成

された金属層上に少なくともゲート絶縁膜となる第1の絶縁膜、半導体薄膜、不純物ドーブ半導体薄膜を順次成膜した後、これらの膜をパターニングする工程と、少なくともパターニング後のゲート電極、半導体薄膜及び不純物ドーブ半導体薄膜の側面を第2の絶縁膜で覆う工程と、透明導電膜を成膜し、パターニングしてソース、ドレイン電極及び画素電極を形成する工程とを具備したことを特徴とする液晶表示用薄膜トランジスタの製造方法である。

(作用)

本発明によれば、ゲート電極となる金属層を成膜した後、陽極酸化を施して該金属層表面に酸化膜を形成し、この金属層の酸化膜上に少なくともゲート絶縁膜となる第1の絶縁膜、半導体薄膜、不純物ドーブ半導体薄膜を順次成膜した後、これらの膜をパターニングすることによって、前記第1の絶縁膜の成膜に際して耐圧低下原因(前記金属層の酸化膜上へのゴミ付着、膜中のピンホール発生)があってもパターニングにより形成された

ゲート電極とドレイン又はゲート電極とソースのショートを防ぎ、高信頼性の薄膜トランジスタを高歩留りで製造できる。しかも、陽極酸化をパターニング前の金属層の段階で行ない、この金属層の酸化膜上にゲート絶縁膜となる第1の絶縁膜、半導体薄膜、不純物ドーブ半導体薄膜を順次成膜した後、これらの膜をパターニングするため、前述した第6図に示す従来方法のようにゲート電極側面での酸化膜のオーバーハングの発生を解消でき、第1の絶縁膜や半導体薄膜の段切れを防止できる。

また、少なくともゲート電極、半導体薄膜及び不純物ドーブ半導体薄膜の側面に第2の絶縁膜を形成することによって、これらの側面を横切るソース、ドレイン電極を該第2の絶縁膜により絶縁できるため、薄膜トランジスタのオフ領域でのリーク電流の発生を抑制でき、画像表示に際してのフリッカ及びコントラストの低下を防止できる。

(実施例)

以下、本発明の実施例を第1図(a)～(f)を参照して詳細に説明する。

まず、ガラス基板21上にスパッタ蒸着によりゲート電極となる厚さ4000Åのモリブデンタンタル層(MT層)22を全面に成膜した。つづいて、ガラス基板21をクエン酸溶液に浸漬し、MT層22を陽極、白金板を陰極とし、これらの間にDC100Vを1時間印加した。これにより、第1図(a)に示すようにMT層22表面に厚さ約1800Åの緻密な酸化膜23が形成された。なお、この酸化膜23は Ta_2O_5 に近い特性を持ち、 5×10^6 V/cm以上の耐圧を有するものであった。

次いで、前記MT層の酸化膜上にプラズマCVD法により厚さ3000ÅのSiN膜、厚さ3000Åのa-Si膜及び厚さ500Åのn⁺a-Si膜を全面に連続して成膜した。つづいて、スパッタ蒸着により厚さ500Åのモリブデン膜を全面に成膜した。ひきつづき、写真蝕刻法によりレジストパターン24をモリブデン膜上に形成した後、

該レジストパターン24をマスクとしてケミカルドライエッチング法によりモリブデン膜、n⁺a-Si膜、a-Si膜、酸化膜23及びMT層22を順次エッチング除去した。これにより、第1図(b)に示すようにガラス基板21側からMTからなるゲート電極25、酸化膜パターン26、SiNからなるゲート絶縁膜27、a-Siからなるチャンネル領域28、n⁺a-Siパターン29及びモリブデンパターン30が形成された。

次いで、レジストパターン24を残置した状態でケイ素化合物を有機溶媒で溶解したSiO₂溶液(東京応化社製商品名:OCD)をスピンナーにより塗布し、約100℃の低温で加熱してSiO₂膜を形成した後、レジストパターン24を除去することによりレジストパターン24上のSiO₂膜をリフトオフした。その後、250℃で1時間アニールして第1図(c)に示すようにゲート電極25から最上層のモリブデンパターン30に互る多層パターン側面を覆い、かつ端部がガラス基板21上に延在されたSiO₂膜31を形成した。なお、

SiO₂ 溶液のスピンナーによる塗布は表面の平坦化に大きく寄与する。

次いで、スパッタ蒸着により全面に透明導電材料としてのITO膜を成膜した後、写真蝕刻法により該ITO膜上にレジストパターン32を形成した。つづいて、レジストパターン32をマスクとして硝酸を含む塩酸溶液によりエッチングして第1図(d)に示すように画素電極を兼ねるソース電極33及び列選択線を兼ねるドレイン電極34を形成した。ひきつづき、レジストパターン32をマスクとして露出したモリブデンパターン30及びn⁺a-Siパターン29をケミカルドライエッチング法により選択的に除去した。これによりa-Siからなるチャンネル領域28上に互いに電気的に分離されたn⁺a-Siからなるソース、ドレイン領域35、36が形成されると共に、ソース、ドレイン領域35、38上にそれらと同パターンのモリブデン膜37₁、37₂が形成された。こうした工程により、第1図(e)に示すように前記ソース、ドレイン電極33、34の一端側が夫々モリブデン膜

37₁、37₂を介してソース、ドレイン領域35、38にオーミック接続される。

次いで、レジストパターン32を除去した後、全面にSiN膜を成膜した。つづいて、このSiN膜を写真蝕刻法により形成されたレジストパターン(図示せず)をマスクとしてケミカルドライエッチング法により選択的に除去することにより、第1図(f)に示すようにパッシベーション膜38を形成すると共に、画素電極部となるソース電極33部分を露出させた。

しかして、本実施例によればゲート電極となるMT層22をガラス基板21上に成膜した後、陽極酸化を施して該MT層22表面に酸化膜23を形成し、このMT層22の酸化膜23上にゲート絶縁膜となるSiN膜、a-Si膜、n⁺a-Si膜及びモリブデン膜を順次成膜した後、これらの膜をパターンニングすることによって、前記SiN膜の成膜に際して耐圧低下原因(前記MT層22の酸化膜23上へのゴミ付着、膜中のピンホール発生)があってもパターンニングにより形成されたゲート電極25と

ドレイン領域36又はゲート電極25とソース領域35のショートを前記陽極酸化で形成された緻密な酸化膜パターン26により防止できる。しかも、陽極酸化をパターンニング前のMT層22の段階で行ない、このMT層22の酸化膜23上にゲート絶縁膜となるSiN膜、a-Si膜、n⁺a-Si膜及びモリブデン膜を順次成膜した後、これらの膜をパターンニングするため、前述した第6図に示す従来方法のようにゲート電極側面での酸化膜のオーバーハングの発生を解消でき、SiN膜やa-Si膜の段切れを防止できる。従って、高耐圧で高性能の薄膜トランジスタを高歩留りで製造できる。

また、ゲート電極25から最上層のモリブデン膜37₁、37₂に互る側面にSiO₂膜31を形成することによって、これらの側面を横切るソース、ドレイン電極33、34を該SiO₂膜31により絶縁できるため、薄膜トランジスタのオフ領域(ゲート電極25とソース領域35間の電圧が負の領域)でのリーク電流の発生を抑制できる。その結果、画像表示に際してのフリッカ及びコントラストの低下

を防止できる。しかも、ゲート電極25から最上層のモリブデン膜37₁、37₂までに互る側面全体をSiO₂膜31で覆うことにより、これらの多層パターンの形成に伴う段差を緩和できるため、以後のITO膜の成膜時での段切れを抑制でき、しかも電流リーク等の問題を生じることなくゲート電極25の低抵抗化を図るために必要な直までMT層を厚くすることが可能となる。

更に、ソース、ドレイン領域35、38にITOからなるソース、ドレイン電極33、34を夫々モリブデン膜37₁、37₂を介して接続すれば、ソース、ドレイン電極33、34をソース、ドレイン領域35、38に良好にオーミック接続できる。しかも、ソース、ドレイン電極33、34とソース、ドレイン領域35、38との密着性を向上できるため、剥離等の歩留り低下を防止できる。

なお、上記実施例ではSiO膜31の形成をモリブデン膜、n⁺a-Si膜、a-Si膜、酸化膜及びMT層のパターンニングに使用したレジストパターン24を除去するリフトオフ技術により行なっ

たがこれに限定されず、以下に説明する2つの方法で第2の絶縁膜を形成してもよい。

- ①. 前記実施例と同様な方法によりレジストパターン24をマスクとしてガラス基板21上にMTからなるゲート電極25、酸化膜パターン26、SiNからなるゲート絶縁膜27、a-Siからなるチャンネル領域28、n⁺a-Siパターン29及びモリブデンパターン30を形成する(第2図(a)図示)。つづいて、レジストパターン24を除去した後、クエン酸溶液を用いた陽極酸化法によりMTからなるゲート電極24の側面を酸化して側面酸化膜(Ta₂O₅膜)39を形成する。ひきつづき、O₂プラズマ中に曝してa-Siのチャンネル領域27及びn⁺a-Siパターン28の側面にSiO₂膜40を形成する(第2図(b)図示)。かかる方法によれば、簡単な工程で、かつ経済的にゲート電極24及びチャンネル領域27、n⁺a-Siパターン28の側面を絶縁することができる。
- ②. 前記実施例と同様な方法によりレジストパターン24をマスクとしてガラス基板21上にMTから

なるゲート電極25、酸化膜パターン26、SiNからなるゲート絶縁膜27、a-Siからなるチャンネル領域28、n⁺a-Siパターン29及びモリブデンパターン30を形成する(第3図(a)図示)。つづいて、レジストパターン24を除去した後、全面にSiO₂膜41を成膜し、更にネガ型レジスト膜42を被覆する(第3図(b)図示)。ひきつづき、ガラス基板21側から全面露光する。この時、モリブデンパターン30上に位置するレジスト膜41部分は光透過性のゲート電極25等により露光されず、該ゲート電極25以外のSiO₂膜41上に被覆されたレジスト膜42部分のみが露光されるため、この後の現像処理によりモリブデンパターン30上に位置するレジスト膜42部分が除去されて開孔部43が形成される。次いで、レジスト膜42をマスクとして開孔部43から露出するSiO₂膜41をケミカルドラエッチングすることにより、第3図(c)に示すようにゲート電極25から最上層のモリブデンパターン30に亘る多層パターン側面を覆い、かつ端部がガラス基板21上に延在されたSiO₂膜

41'が形成される。

上記実施例では、ゲート電極の材料としてMTを使用した。A₂、Ta等を使用してもよい。また、これらの組み合わせによる多層構造としてもよい。

上記実施例では、半導体薄膜としてアモルファスシリコンを使用した。多結晶シリコンを使用してもよい。こうしたアモルファスシリコンの成膜に際しては、プラズマCVD法を使用した。光CVD法、ECR-CVD法、スパッタ蒸着法を採用してもよい。

上記実施例では、ソース、ドレイン領域に対してITOからなるソース、ドレイン電極をオーミック接続するためにモリブデン膜を使用した。チタン等のモリブデン以外の高融点金属膜を使用してもよく、場合によっては省略してもよい。

上記実施例では、ソース、ドレイン電極をITOにより形成したが、これに限定されない。例えばITO膜、Mo膜及びA₂膜の三層構造にしてもよい。かかる構造にすれば、ソース、ドレ

イン電極の低抵抗化を達成できるため、パターン幅を微細化できる利点を有する。但し、前記構造を採用する場合には、ソース電極の両側電極部となるMo膜及びA₂膜部分をパッシベーション膜の形成工程において除去する必要がある。

【発明の効果】

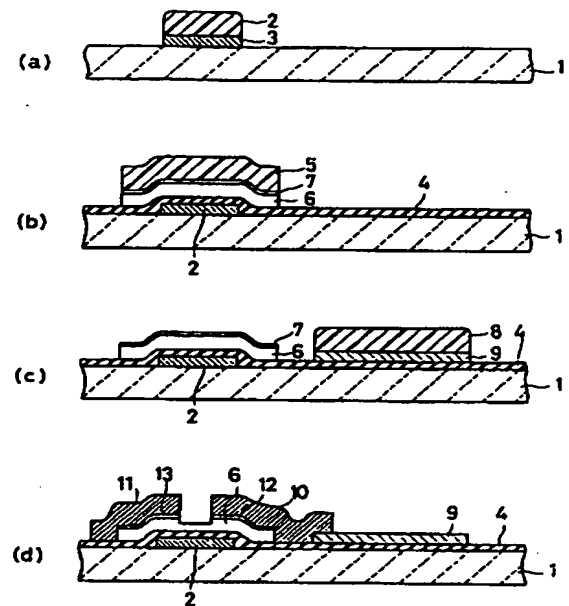
以上詳述した如く、本発明によればゲート絶縁膜へのゴミ付着やピンホールの発生があってもゲートとドレイン間又はゲートとソース間のショートを防止でき、かつゲート絶縁膜や半導体薄膜の段切れを防止でき、更にオフ領域でのリーク電流の発生を抑制して画像表示に際してのフリッカ及びコントラストの低下を改善でき、ひいては高性能、高信頼性の液晶表示用薄膜トランジスタを高歩留りで製造し得る方法を提供できる。

4. 図面の簡単な説明

第1図(a)～(f)は本発明の実施例における薄膜トランジスタの製造工程を示す断面図、第2図(a)、(b)及び第3図(a)～(c)は夫々本発明の他の実施例におけるゲート電極、

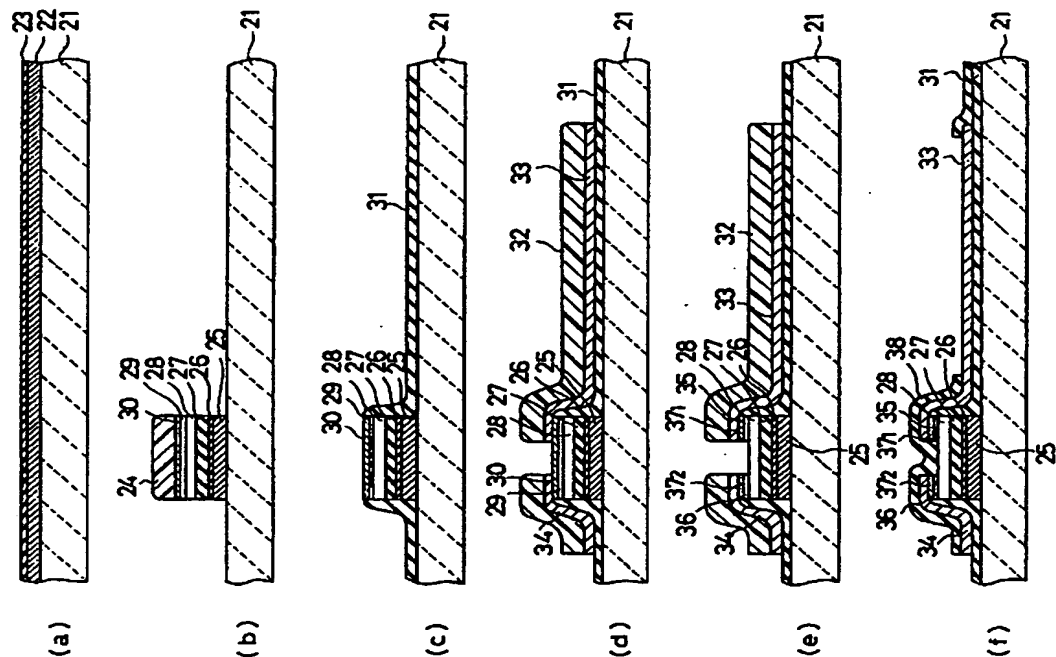
半導体薄膜の側面への絶縁膜の形成工程を示す断面図、第4図(a)～(d)は従来の液晶表示用薄膜トランジスタの製造工程を示す断面図、第5図は従来の薄膜トランジスタの製造方法における問題点を説明するための断面図、第6図は改良された従来の薄膜トランジスタの製造方法における問題点を説明するための断面図である。

21…ガラス基板、22…MT層、23…酸化膜、25…ゲート電極、26…酸化膜パターン、27…ゲート絶縁膜、28… α -Siからなるチャンネル領域、29… n^+ - α -Siパターン、31、40、41'… SiO_2 膜、33…ソース電極、34…ドレイン電極、35…ソース領域、36…ドレイン領域、39…酸化膜(Ta_2O_5 膜)。

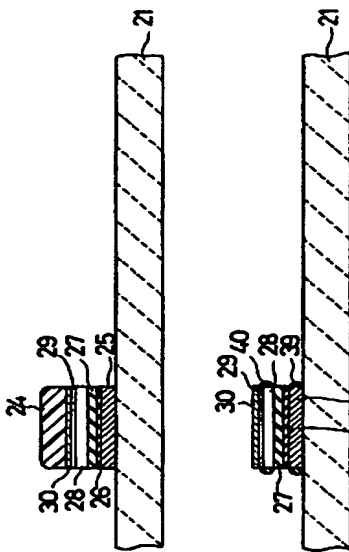


第4図

出願人代理人 弁理士 鈴江武彦



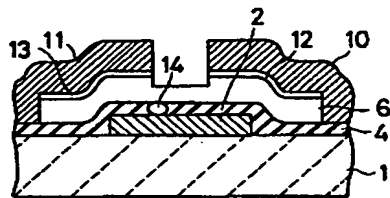
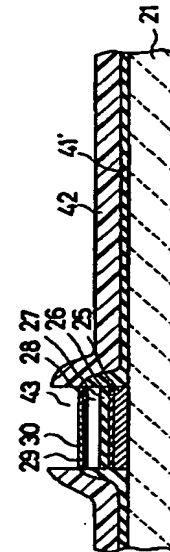
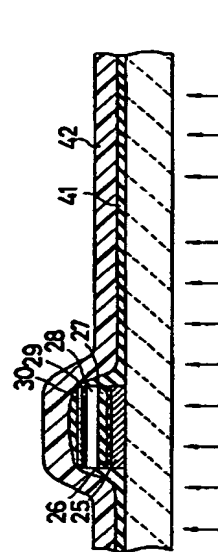
第1図



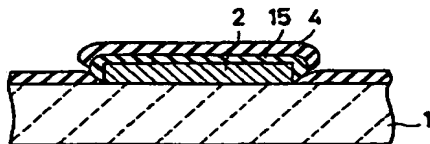
第 2 図



第 3 図



第 5 図



第 6 図

手続補正書 (方式)

昭和 63 年 7 月 12 日

特許庁長官 吉田 文 毅 殿

1. 事件の表示

特願昭 63-76905 号

2. 発明の名称

液晶表示用薄膜トランジスタの製造方法

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

東京都千代田区蔵が関3丁目7番2号 UBEビル

〒100 電話 03(502)3181 (大代表)

(5647) 弁理士 鈴 江 武 彦

5. 補正命令の日付

昭和63年6月28日

6. 補正の対象

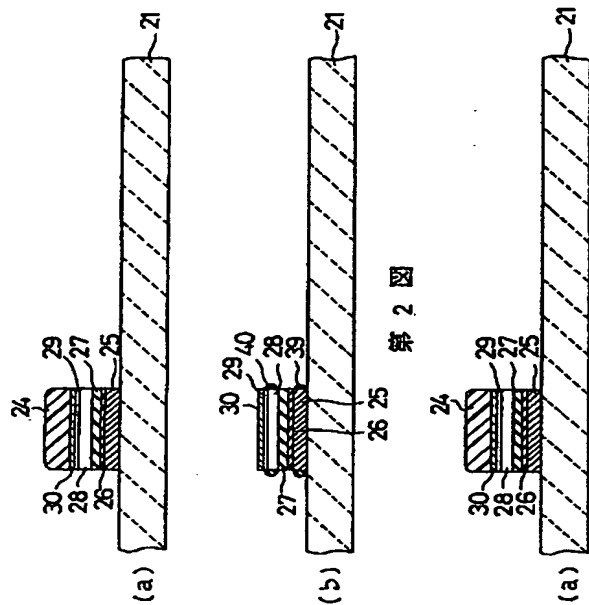
図 面



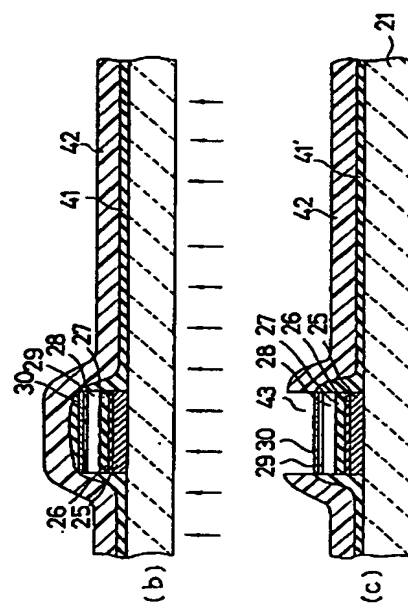
7. 補正の内容

(1) 図面第2図に、別紙に朱記する通り分図番号「(a)」及び「(b)」を加入する。

(2) 同第3図に、別紙に朱記する通り分図番号「(a)」、「(b)」及び「(c)」を加入する。



第2図



第3図